

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04665499 **Image available**

METHOD FOR DRIVING DISPLAY DEVICE

PUB. NO.: 06-337399 [JP 6337399 A]

PUBLISHED: December 06, 1994 (19941206)

INVENTOR(s): YAMAZAKI SHUNPEI

HIROKI MASAACKI

MASE AKIRA

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 02-415721 [JP 90415721]

FILED: December 10, 1990 (19901210)

INTL CLASS: [5] G02F-001/133; G09G-003/36

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS)

ABSTRACT

PURPOSE: To accelerate a response speed by impressing a signal waveform to a third signal line for a period when the signal waveform is impressed to first, second signal lines, driving a thin film transistor with complementary constitution and controlling a display of a pixel.

CONSTITUTION: When an on signal waveform is impressed to the third signal line 3 for a period when the on signal waveform is impressed between the first signal line 5 and the second signal line 8, the potential 14 of a liquid crystal becomes a voltage applied to the first signal line 5. Further, when an off signal waveform is impressed between the signal lines 5, 8, the liquid crystal potential 14 possesses no potential. Further, when no on signal waveform is impressed to the third signal line 3 for a period when the on signal waveform is impressed between the signal lines 5, 8, the liquid crystal potential 14 possesses no potential similarly. Thus, the liquid crystal potential 14 is applied according to the voltage applied to the third signal line, and by varying the voltage, a potential difference applied to the liquid crystal is varied optionally.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2001 EPO. All rts. reserv.

10540131

Basic Patent (No,Kind,Date): EP 488643 A2 19920603 <No. of Patents: 012>

ELECTRO-OPTICAL DEVICE AND DRIVING METHOD FOR THE SAME (English; French; German)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (JP)

Author (Inventor): YAMAZAKI SHUNPEI (JP); MASE AKIRA (JP); HIROKI MASAOKI (JP)

Designated States : (National) DE; FR; GB

IPC: *G09G-003/36;

Derwent WPI Acc No: G 92-185514

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
EP 488643	A2	19920603	EP 91310870	A	19911126	(BASIC)
EP 488643	A3	19930512	EP 91310870	A	19911126	
JP 4190330	A2	19920708	JP 90323695	A	19901126	
JP 6337399	A2	19941206	JP 90415721	A	19901210	
JP 2742725	B2	19980422	JP 90323695	A	19901126	
KR 9501360	B1	19950217	KR 919128	A	19910531	
KR 9604152	B1	19960327	KR 9424057	A	19940924	
US 5495353	A	19960227	US 224992	A	19940408	
US 5612799	A	19970318	US 542821	A	19951013	
US 5899547	A	19990504	US 963761	A	19971104	
US 5905555	A	19990518	US 766709	A	19961213	
US 5946059	A	19990831	US 964028	A	19971104	

Priority Data (No,Kind,Date):

JP 90323695 A 19901126
JP 90415721 A 19901210
KR 9424057 A 19940924
KR 919128 A3 19910531
US 224992 A 19940408
US 673458 B3 19910322
US 542821 A 19951013
US 224992 A3 19940408
US 963761 A 19971104
US 766709 A3 19961213
US 542821 A3 19951013
US 766709 A 19961213
US 964028 A 19971104

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-337399

(43) 公開日 平成6年(1994)12月6日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	9226-2K		
G 0 9 G 3/36				

審査請求 未請求 請求項の数19 書面 (全 15 頁)

(21) 出願番号 特願平2-415721

(22) 出願日 平成2年(1990)12月10日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 ▲ひろ▼木 正明

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 間瀬 晃

神奈川県厚木市長谷398番地 株式会社半

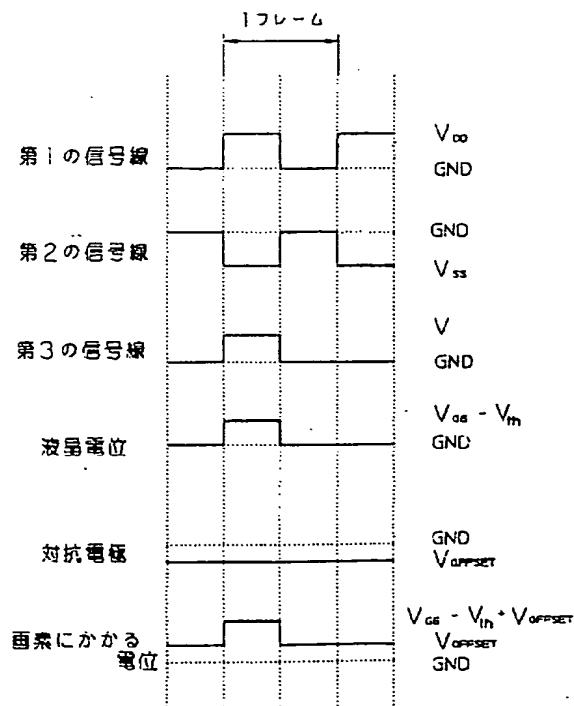
導体エネルギー研究所内

(54) 【発明の名称】 表示装置の駆動方法

(57) 【要約】

【目的】 駆動能力の高い相補型のTFTをアクティブ素子として使用した表示装置の新規な駆動方法を提案する。

【構成】 画素に対してNTFTとPTFTとを相補構成として有し、前記NTFTのソース部を一对の信号線のうちの第1の信号線に接続し、前記PTFTのソース部を一对の信号線のうちの第2の信号線に接続し、ゲート電極を共通に第3の信号線に接続し、前記NTFTおよびPTFTのドレイン部を画素電極と接続して設けられている表示装置において、前記一对の第1および第2の信号線に対して信号波形が印加されている期間に前記第3の信号線に対して信号波形を印加することにより、前記C/TFTを駆動し画素の表示をオンまたはオフする。また、第3の信号線に加える信号の論理を反転し、且つ対抗電極に加えるオフセット電圧の正負を入れ換えることにより、交流化信号を容易に発生することができる。



【特許請求の範囲】

【請求項 1】画素に対して N チャネル型薄膜トランジスタと P チャネル型薄膜トランジスタとを相補構成として有し、前記 N チャネル型薄膜トランジスタのソース（ドレイン）部を一对の信号線のうちの第 1 の信号線に接続し、前記 P チャネル型薄膜トランジスタのソース（ドレイン）部を一对の信号線のうちの第 2 の信号線に接続し、前記 N チャネル型薄膜トランジスタと P チャネル型薄膜トランジスタのゲート電極を共通に第 3 の信号線に接続し、前記 N チャネル型薄膜トランジスタおよび P チャネル型薄膜トランジスタのドレイン（ソース）部を画素電極と接続して設けられている表示装置の駆動方法であって、前記一对の第 1 および第 2 の信号線に対して信号波形が印加されている期間に前記第 3 の信号線に対して信号波形を印加することにより、前記相補構成の薄膜トランジスタを駆動し画素の表示をオンまたはオフすることを特徴とする表示装置の駆動方法。

【請求項 2】請求項 1 に記載の表示装置の駆動方法であって、1 つの画素に対して 2 つまたはそれ以上の N チャネル型薄膜トランジスタと 2 つまたはそれ以上の P チャネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

【請求項 3】請求項 1 に記載の表示装置の駆動方法であって、1 つの画素に対して 2 つまたはそれ以上に画素電極が分割されており、それぞれの画素電極に対して 2 つまたはそれ以上の N チャネル型薄膜トランジスタと 2 つまたはそれ以上の P チャネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

【請求項 4】それぞれの画素に対して N チャネル型薄膜トランジスタと P チャネル型薄膜トランジスタとを相補構成として有し、前記 N チャネル型薄膜トランジスタと P チャネル型薄膜トランジスタのゲート電極を共通にデータ線の一つに接続し、前記 N チャネル型薄膜トランジスタのソース（ドレイン）部を一对の走査線のうちの第 1 の走査線に接続し、前記 P チャネル型薄膜トランジスタのソース（ドレイン）部を一对の走査線のうちの第 2 の走査線に接続し、前記 N チャネル型薄膜トランジスタおよび P チャネル型薄膜トランジスタのドレイン（ソース）部を画素電極と接続して設けられている複数の画素を有するアクティブマトリクス型の表示装置の駆動方法であって、複数の前記一对の第 1 および第 2 の走査線に対して順次選択信号を印加して走査している期間に複数の任意の前記データ線に対して書き込み信号を印加することにより、任意の場所の前記相補構成の薄膜トランジスタを駆動し対応する画素の表示をオンまたはオフすることを特徴とする表示装置の駆動方法。

【請求項 5】請求項 4 に記載の表示装置の駆動方法であって、1 つの画素に対して 2 つまたはそれ以上の N チャネル型薄膜トランジスタと 2 つまたはそれ以上の P チャ

ネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

【請求項 6】請求項 4 に記載の表示装置の駆動方法であって、1 つの画素に対して 2 つまたはそれ以上に画素電極が分割されており、それぞれの画素電極に対して 2 つまたはそれ以上の N チャネル型薄膜トランジスタと 2 つまたはそれ以上の P チャネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

10 【請求項 7】それぞれの画素に対して N チャネル型薄膜トランジスタと P チャネル型薄膜トランジスタとを相補構成として有し、前記 N チャネル型薄膜トランジスタと P チャネル型薄膜トランジスタのゲート電極を共通に走査線の一つに接続し、前記 N チャネル型薄膜トランジスタのソース（ドレイン）部を一对のデータ線のうちの第 1 のデータ線に接続し、前記 P チャネル型薄膜トランジスタのソース（ドレイン）部を一对のデータ線のうちの第 2 のデータ線に接続し、前記 N チャネル型薄膜トランジスタおよび P チャネル型薄膜トランジスタのドレイン（ソース）部を画素電極と接続して設けられている複数の画素を有するアクティブマトリクス型の表示装置の駆動方法であって、複数の前記走査線に対して順次選択信号を印加して走査している期間に複数の任意の前記一对の第 1 および第 2 のデータ線に対して書き込み信号を印加することにより、任意の場所の前記相補構成の薄膜トランジスタを駆動し対応する画素の表示をオンまたはオフすることを特徴とする表示装置の駆動方法。

20 【請求項 8】請求項 7 に記載の表示装置の駆動方法であって、1 つの画素に対して 2 つまたはそれ以上の N チャネル型薄膜トランジスタと 2 つまたはそれ以上の P チャネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

30 【請求項 9】請求項 7 に記載の表示装置の駆動方法であって、1 つの画素に対して 2 つまたはそれ以上に画素電極が分割されており、それぞれの画素電極に対して 2 つまたはそれ以上の N チャネル型薄膜トランジスタと 2 つまたはそれ以上の P チャネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

40 【請求項 10】それぞれの画素に対して N チャネル型薄膜トランジスタと P チャネル型薄膜トランジスタとを相補構成として有し、前記 N チャネル型薄膜トランジスタと P チャネル型薄膜トランジスタのゲート電極を共通にデータ線の一つに接続し、前記 N チャネル型薄膜トランジスタのソース（ドレイン）部を一对の走査線のうちの第 1 の走査線に接続し、前記 P チャネル型薄膜トランジスタのソース（ドレイン）部を一对の走査線のうちの第 2 の走査線に接続し、前記 N チャネル型薄膜トランジスタおよび P チャネル型薄膜トランジスタのドレイン（ソース）部を画素電極と接続して設けられている複数の画

3

素を有するアクティブマトリクス型の表示装置の駆動方法であって、複数の前記一対の第 1 および第 2 の走査線に対して印加される走査信号は選択したラインに接続されている画素に対する選択信号が終了するまで継続されており、前記走査線に順次選択信号を印加して走査している期間に前記データ線に対して前記走査信号に同期して対応する画素への選択信号を信号線を順次走査して印加することにより、任意の場所の前記相補構成の薄膜トランジスタを駆動し対応する画素の表示をオンまたはオフすることを特徴とする表示装置の駆動方法。

【請求項 11】請求項 10 に記載の表示装置の駆動方法であって、1つの画素に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

【請求項 12】請求項 10 に記載の表示装置の駆動方法であって、1つの画素に対して2つまたはそれ以上に画素電極が分割されており、それぞれの画素電極に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

【請求項 13】それぞれの画素に対してNチャンネル型薄膜トランジスタとPチャンネル型薄膜トランジスタとを相補構成として有し、前記Nチャンネル型薄膜トランジスタとPチャンネル型薄膜トランジスタのゲイト電極を共通に走査線の一つに接続し、前記Nチャンネル型薄膜トランジスタのソース（ドレイン）部を一对のデータ線の中の第1のデータ線に接続し、前記Pチャンネル型薄膜トランジスタのソース（ドレイン）部を一对のデータ線の中の第2のデータ線に接続し、前記Nチャンネル型薄膜トランジスタおよびPチャンネル型薄膜トランジスタのドレイン（ソース）部を画素電極と接続して設けられている複数の画素を有するアクティブマトリクス型の表示装置の駆動方法であって、複数の前記走査線に対して印加される走査信号は選択したラインに接続されている画素に対する選択信号が終了するまで継続されており、前記走査線に順次選択信号を印加して走査している期間に前記一対のデータ線に対して前記走査信号に同期して対応する画素への選択信号を信号線を順次走査して印加することにより、任意の場所の前記相補構成の薄膜トランジスタを駆動し対応する画素の表示をオンまたはオフすることを特徴とする表示装置の駆動方法。

【請求項 14】請求項 13 に記載の表示装置の駆動方法であって、1つの画素に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

【請求項 15】請求項 13 に記載の表示装置の駆動方法であって、1つの画素に対して2つまたはそれ以上に画

4

素電極が分割されており、それぞれの画素電極に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

【請求項 16】画素に対してNチャンネル型薄膜トランジスタとPチャンネル型薄膜トランジスタとを相補構成として有し、前記Nチャンネル型薄膜トランジスタのソース（ドレイン）部を一对の信号線の中の第1の信号線に接続し、前記Pチャンネル型薄膜トランジスタのソース（ドレイン）部を一对の信号線の中の第2の信号線に接続し、前記Nチャンネル型薄膜トランジスタとPチャンネル型薄膜トランジスタのゲイト電極を共通に第3の信号線に接続し、前記Nチャンネル型薄膜トランジスタおよびPチャンネル型薄膜トランジスタのドレイン（ソース）部を画素電極と接続して設けられている表示装置の駆動方法であって、前記一対の第1および第2の信号線に対して信号波形が印加されている期間に前記第3の信号線に対して加える信号の電圧を変化させることにより、前記画素の電極に与えられる電位を変化させて階調表示をすることを特徴とする表示装置の駆動方法。

【請求項 17】請求項 16 に記載の表示装置の駆動方法であって、1つの画素に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

【請求項 18】請求項 16 に記載の表示装置の駆動方法であって、1つの画素に対して2つまたはそれ以上に画素電極が分割されており、それぞれの画素電極に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられていることを特徴とする表示装置の駆動方法

【請求項 19】画素に対してNチャンネル型薄膜トランジスタとPチャンネル型薄膜トランジスタとを相補構成として有し、前記Nチャンネル型薄膜トランジスタのソース（ドレイン）部を一对の信号線の中の第1の信号線に接続し、前記Pチャンネル型薄膜トランジスタのソース（ドレイン）部を一对の信号線の中の第2の信号線に接続し、前記Nチャンネル型薄膜トランジスタとPチャンネル型薄膜トランジスタのゲイト電極を共通に第3の信号線に接続し、前記Nチャンネル型薄膜トランジスタおよびPチャンネル型薄膜トランジスタのドレイン（ソース）部を画素電極と接続して設けられている表示装置の駆動方法であって、前記一対の第1および第2の信号線に対して信号波形が印加されている期間に前記第3の信号線に対して信号波形を印加して、対抗電極に任意のオフセット電位を印加する駆動信号と、前記一対の第1および第2の信号線に対して信号波形が印加されている期間に前記第3の信号線の論理を反転させた信号と前記オフセッ

ト電圧とは正負が入れ換えたオフセット電圧を印加した駆動信号とによって、交流化信号駆動を行い画素の表示をオンまたはオフすることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブ型表示装置、特にアクティブ型液晶表示装置に関するもので、それぞれの画素に相補型にPチャネル型およびNチャネル型の2つの薄膜型絶縁ゲイト電界効果トランジスタ（以下TFTという）を設けてピクセルを構成した表示装置の駆動方法に関するものである。

【0002】

【従来の技術】従来、表示装置として有効なものに、TFTを用いたアクティブ型の液晶表示装置が知られている。この場合、TFTにはアモルファスまたは多結晶構造の半導体を用い、1つの画素にPまたはN型のいずれか一方の導電型のみのTFTを用いたものである。即ち、一般にはNチャネル型TFT（NTFTという）を画素に直列に連結している。その代表例を図8に示す。

【0003】一般にアクティブマトリクス型の液晶表示装置は480×640、または1260×960と非常に多くの画素を有している。図8ではこれらと同じ意味を示すもので、説明を簡単にするために2×2のマトリクス配列で示している。複数のゲイト線G₁、G₂と複数のデータ線D₁、D₂とを直交して配置し、そのマトリクス状の交差部に画素表示素子を設けている。この画素表示素子は液晶部102とTFT部101で構成されている。それぞれの画素に対して周辺回路106、107から信号を加えて所定の画素を選択的にオンまたはオフして表示を行う。

【0004】しかし、実際にこれらの液晶表示装置を作製して表示をさせた場合、TFTの出力、即ち液晶にとっての入力（液晶電位という）の電圧V_{LC}100は、しばしば“1”（High）となるべき時に“1”（High）にならず、また、逆に“0”（Low）となるべき時に“0”（Low）にならない。これは、画素に信号を加えるスイッチング素子、つまりTFTの特性に非対称性がないために発生する。すなわち、画素電極への充電の様子と放電の様子に電気特性上のかたよがりがあるためである。そして、液晶102はその動作において本来絶縁性であり、また、TFTがオフの時に液晶電位（V_{LC}）は浮いた状態になる。この液晶102は等価的にキャパシタであるため、そこに蓄積された電荷によりV_{LC}が決められる。この電荷は液晶がR_{LC}で比較的小さい抵抗となったり、ゴミやイオン性不純物の存在によりリークしたり、またTFTのゲイト絶縁膜のピンホールによりR_{GS}105が生じた場合にはそこから電荷がもれ、V_{LC}は中途半端な状態になってしまう。このため1つのパネル中に20万～500万個の画素を有

する液晶表示装置においては、高い歩留まりを成就することができないという問題があった。

【0005】液晶102は一般にはTN（ツイステッドネマティック）液晶が用いられる。その液晶の配向のためにそれぞれの電極上にラビングした配向膜を設ける。このラビング工程のため発生する静電気により弱い絶縁破壊が起こり、隣の画素との間または隣の導線との間でリークしたり、またゲイト絶縁膜が弱く、リークをしたりしてしまう。

【0006】

【発明が解決しようとする課題】アクティブ型の液晶表示装置においては、液晶電位を1フレームの間はたえず初期値と同じ値として所定のレベルを保つことがきわめて重要である。しかし実際はアクティブ素子の動作不良が多く、必ずしも液晶電位を1フレームの間はたえず初期値と同じ値として所定のレベルを保てないのが実情である。また、液晶等の駆動において、印加する信号により、液晶に加わる電圧が+または-の何れかに偏った場合、電気分解等が発生して、液晶材料を分解、変性して表示が十分に行えないことが発生する。この場合、印加する信号を交流化して液晶材料に加わる電圧に偏りが発生しないようにするが、この交流化信号が非常に複雑であった。

【0007】本発明は上述のような問題を解決し、より電流マージンを大とする、即ち応答速度を大とする。また各ピクセルにおける画素の電位、即ち液晶電位V_{LC}が“1”、“0”に充分安定して固定され、1フレーム中にそのレベルがドリフトしないようにしたものである。

【0008】また、表示装置のカラー化、高品質化等の要求のため、階調表示がつよく求められているが階調表示の駆動方法は非常に複雑であった。

【0009】

【課題を解決するための手段】本発明は、画素に対してNTFTとPTFTとを相補構成として有し、前記NTFTのソース（ドレイン）部を一对の信号線のうちの第1の信号線に接続し、前記PTFTのソース（ドレイン）部を一对の信号線のうちの第2の信号線に接続し、前記NTFTとPTFTのゲイト電極を共通に第3の信号線に接続し、前記NTFTおよびPTFTのドレイン（ソース）部を画素電極と接続して設けられている表示装置の駆動方法であって、前記一对の第1および第2の信号線に対して、信号波形が印加されている期間に前記第3の信号線に対して、信号波形を印加することにより前記相補構成の薄膜トランジスタ（以下C/TFTという）を駆動し、画素の表示をオンまたはオフする表示装置の駆動方法であります。加えて、第3の信号線に印加する信号の電圧の高低に対応して液晶に加える電位差を変化させて、階調表示を可能とするものである。

【0010】本発明の駆動方法を適用可能な表示装置の

構成としては、1つの画素に2つまたはそれ以上のC/TFTを連結して1つのピクセルを構成せしめてもよい。さらに1つのピクセルを2つまたはそれ以上に分割し、それぞれにC/TFTを1つまたは複数個連結してもよい。

【0011】本発明の駆動方法を適用可能な表示装置の構成の代表例を図2、図3、図4に回路図として示す。また、実際のパターンレイアウト（配置図）の例をそれぞれに対応して図5、図6、図7に示す。説明を簡単にするため、ここでは2×2のマトリクス構成を例として説明を行う。図2の2×2のマトリクスの例においてN

TFTとPTFTとのゲートを互いに連結し、さらにY軸方向の第3の信号線3または4に連結し、またC/TFTの共通出力端を液晶15に連結している。NTFTの入力端（10側）をX軸方向の一对の信号線のうちの第1の信号線5または6に連結し、PTFTの入力端（20側）をX軸方向の一对の信号線のうちの第2の信号線8または7に連結させている。

【0012】このような構成において、図1に示されているように一对の第1の信号線5と第2の信号線8間にオンの信号波形が印加されている期間に第3の信号線3に

対しオンの信号波形を印加した時、液晶電位（ V_{LC} ）14は第1の信号線に印加された電圧 $V_{GG}-V_{th}$ となる。また一对の第1の信号線5と第2の信号線8間にオフの信号波形が印加されている期間に第3の信号線3もオフの信号波形が印加された時、液晶電位（ V_{LC} ）14は電位を持たない。さらにまた、一对の第1の信号線5と第2の信号線8間にオンの信号波形が印加されている期間に第3の信号線3に

対しオンの信号波形を印加しない時、液晶電位（ V_{LC} ）14は同様に電位を持たない。かくの如く液晶電位（ V_{LC} ）14は第3の信号線に印加する電圧に従って与えられるものであり、この信号線に加える信号の電圧を変換することにより液晶に加える電位差を任意に変換することができる。

【0013】また、対抗電極16はオフセット電圧 V_{OFFSET} が印加されており、実際に液晶15に加わる電圧は $V_{GG}+V_{OFFSET}-V_{th}$ 、あるいは V_{OFFSET} の2値となる。本発明の駆動方法では対抗電極に加えるオフセット電圧 V_{OFFSET} を変換して、液晶駆動のオンとオフを任意に変更することができる。また、液晶を実際に駆動する際のしきい値が液晶材料によって異なっているため、その液晶の持つ値に合わせ

為にこのオフセット電圧 V_{OFFSET} を変換するだけで、任意のしきい値合わせることができる。

【0014】また、液晶等の駆動において、印加する信号により、液晶に加わる電圧が+または-の何れかに偏った場合、電気分解等が発生して、液晶材料を分解、変性して表示が十分に行えないことが発生する場合、印加する信号を交流化して液晶材料に加わる電圧に偏りが発生しないようにするが、本発明の駆動方法によると

対抗電極に印加するオフセット電圧 V_{OFFSET} の極性とデータ信号線に加える選択信号の論理を反転するのみで、非常に容易に交流化信号を発生させることができる特徴をもつ。

【0015】図3の例において、第1のC/TFTを構成するNTFT13PTFT22と第2のC/TFTを構成するNTFT24、PTFT25の4つのゲート電極を共通してY方向の第3の信号線3に連結せしめ、NTFT13とNTFT24入力端を共通化してX方向の第1の信号線5にPTFT22とPTFT25入力端を共通化してX方向の第2の信号線8に接続させた。またその2つのC/TFTの出力を共通にして1つの液晶15の一方の電極である画素電極17に連結させている。かくすると、2つのNTFTまたは2つのPTFTのいずれか一方が多少リークしても同相であるためその画素を駆動させることができる。

【0016】図4は1つのピクセル23において、2つの画素電極17、26とそのそれぞれに対応してC/TFTを2つ設けたものである。2つのC/TFTのゲート電極を共通とせしめ、第1の入力を行う。またそれぞれのC/TFTのそれぞれのNTFTおよびそれぞれのPTFTの入力を第1の信号線5および第2の信号線8に連結したものである。かくすることにより、1つのピクセルの2つの画素のうち一方がTFTのリーク等の不良により非動作とならない。また、遅れた動作となっても、他方が正常動作するため、マトリクス構成動作において不良が目立ちにくいという特長を有する。

【0017】

【実施例1】本実施例では図2に示すような回路構成の液晶表示装置を用いて説明を行う。この回路構成に対応する実際の電極等の配置構成を図5に示している。これらは説明を簡単にする為2×2に相当する部分のみ記載されている。また、実際の駆動信号波形を図9に示す。これも説明を簡単にする為に4×4のマトリクス構成とした場合の信号波形で説明を行う。

【0018】まず、本実施例で使用する液晶表示装置の作製方法を図13を使用して説明する。図13（A）において、石英ガラス等の高価でない700℃以下、例えば約600℃の熱処理に耐え得るガラス50上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層51としての酸化珪素膜を1000～3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度15℃、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30～100Å/分であった。

【0019】この上にシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン（ Si_2H_6 ）またはトリシラン（ Si_3H_8 ）

g) をCVD装置に供給して成膜した。反応炉内圧力は30~300 Paとした。成膜速度は50~250 Å/分であった。NTFTとPTFTとのスレッショールド電圧(V_{th})に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0020】スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20~80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56 MHz、スパッタ出力は400~800 W、圧力は0.5 Paであった。

【0021】プラズマCVD法により珪素膜を作製する場合、温度は例えば300℃とし、モノシラン(SiH_4)またはジシラン(Si_2H_6)を用いた。これらをPCVD装置内に導入し、13.56 MHzの高周波電力を加えて成膜した。

【0022】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アニール温度を高くまたは熱アニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{19} \sim 4 \times 10^{21} \text{ cm}^{-3}$ の範囲とした。水素は $4 \times 10^{20} \text{ cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{ cm}^{-3}$ として比較すると1原子%であった。また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、ピクセル構成するTFTのチャネル形成領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるように添加してもよい。その時周辺回路を構成するTFTには光照射がなされないため、この酸素の混入をより少なくし、より大きいキャリア移動度を有せしめることは、高周波動作をさせるため有効である。

【0023】次に、アモルファス状態の珪素膜を500~5000 Å、例えば1500 Åの厚さに作製の後、450~700℃の温度にて12~70時間非酸化雰囲気にて中温の加熱処理、例えば水素雰囲気下にて600℃の温度で保持した。珪素膜の下基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0024】アニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態で比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がな

されるため、珪素同志は互いにひっぱりあう。レーザラマン分光により測定すると単結晶の珪素のピーク 522 cm^{-1} より低周波側にシフトしたピークが観察される。その見掛け上の粒径は半値巾から計算すると、50~500 Åとマイクロクリスタルのようにになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

10 【0025】結果として、被膜は実質的にグレインバウンダリ(以下GBという)がないといってもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度(μ_h)= $10 \sim 200 \text{ cm}^2/\text{Vsec}$ 、電子移動度(μ_e)= $15 \sim 300 \text{ cm}^2/\text{Vsec}$ が得られる。

【0026】他方、上記の如き中温でのアニールではなく、900~1200℃の高温アニールにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア(障壁)を作ってそこでのキャリアの移動を阻害してしまう。結果として $10 \text{ cm}^2/\text{Vsec}$ 以上の移動度がなかなか得られないのが実情である。即ち、本実施例ではかくの如き理由により、セミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

30 【0027】図13(A)において、珪素膜を第1のフォトマスクにてフォトリソグラフィを施し、PTFT用の領域22(チャネル巾20 μm)を図面の右側に、NTFT用の領域13を左側に作製した。

【0028】この上に酸化珪素膜をゲート絶縁膜として500~2000 Å例えば1000 Åの厚さに形成した。これはブロック層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

40 【0029】この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 MoSi_2 または WSi_2 との多層膜を形成した。これを第2のフォトマスク2にてパターニングして図13(B)を得た。PTFT用のゲート電極55、NTFT用のゲート電極56を形成した。例えばチャネル長10 μm、ゲート電極としてリンドープ珪素を0.2 μm、その上にモリブデンを0.3 μmの厚さに形成した。図13(C)において、フォトリソグラフィを用いて形成し、PTFT用のソース59ドレイン58に対し、ホウ素を $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入法により添加した。次に

図 13 (D) の如く、フォトリソグレイ 61 をフォトマスクを用いて形成した。NTFT 用のソース 64、ドレイン 62 としてリンを $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーザ量でイオン注入法により添加した。

【0030】これらはゲイト絶縁膜 54 を通じて行った。しかし図 13 (B) において、ゲイト電極 55、56 をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

【0031】次に、600℃にて 10～50 時間再び加熱アニールを行った。PTFT のソース 59、ドレイン 58 NTFT のソース 64、ドレイン 62 を不純物を活性化して P^+ 、 N^+ として作製した。またゲイト電極 55、56 下にはチャネル形成領域 60、63 がセミアモルファス半導体として形成されている。

【0032】かくすると、セルフアライン方式でありながらも、700℃以上にすべての工程で温度を加えることがなく C/TFT を作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画素の液晶表示装置にきわめて適したプロセスである。

【0033】本実施例では熱アニールは図 13 (A)、(D) で 2 回行った。しかし図 13 (A) のアニールは求める特性により省略し、双方を図 13 (D) のアニールにより兼ね製造時間の短縮を図ってもよい。図 13

(E) において、層間絶縁物 65 を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成は LPCVD 法、光 CVD 法、常圧 CVD 法を用いてもよい。例えば 0.2～0.6 μm の厚さに形成し、その後、フォトマスクを用いて電極用の窓 66 を形成した。さらに、これら全体にアルミニウムをスパッタ法により形成し、リード 71、72 およびコンタクト 67、68 をフォトマスクを用いて作製した後、表面を平坦化用有機樹脂 69 例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスクにて行った。

【0034】図 13 (F) に示す如く 2 つの TFT を相補型構成とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法により ITO (インジウム・スズ酸化膜) を形成した。それをフォトマスクによりエッチングし、電極 70 を構成させた。この ITO は室温～150℃で成膜し、200～400℃の酸素または大気中のアニールにより成就した。かくの如くにして PTFT 22 と NTFT 13 と透明導電膜の電極 70 とを同一ガラス基板 50 上に作製した。得られた TFT の電気的な特性は PTFT で移動度は 20 (cm^2/Vs)、 V_{th} は -5.9 (V) で、NTFT で移動度は 40 (cm^2/Vs)、 V_{th} は 5.0 (V) であった。

【0035】上記の様な方法に従って作製された液晶装

置用の一方の基板と他方ガラス基板上に全面に透明電極を設け、これら基板を張り合わせて液晶セルを形成し、この中に TN の液晶材料を注入した。この液晶表示装置の電極等の配置の様子を図 6 に示している。NTFT 13 を第 1 の走査線 5 とデータ線 3 との交差部に設け、第 1 の走査線 5 とデータ線 4 との交差部にも他の画素用の NTFT が同様に設けられている。一方 PTFT は第 2 の走査線 8 とデータ線 3 との交差部に設けられている。また、隣接した他の第 1 の走査線 6 とデータ線 3 との交差部には、他の画素用の NTFT が設けられている。このような C/TFT を用いたマトリクス構成を有せしめた。NTFT 13 は、ドレイン 10 の入力端のコンタクトを介し第 1 の走査線 5 に連結され、ゲイト 9 は多層配線形成がなされたデータ線 3 に連結されている。ソース 12 の出力端はコンタクトを介して画素の電極 17 に連結している。

【0036】他方、PTFT 22 はドレイン 20 の入力端がコンタクトを介して第 2 の走査線 8 に連結され、ゲイト 21 はデータ線 3 に、ソース 18 の出力端はコンタクトを介して NTFT と同様に画素電極 17 に連結している。かくして一対の走査線 5、8 に挟まれた間 (内側) に、透明導電膜よりなる画素 23 と C/TFT とにより 1 つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、 2×2 のマトリクスをそれを拡大した 640×480 、 1280×960 といった大画素の液晶表示装置とすることができる。

【0037】ここでの特長は、1 つの画素に 2 つの TFT が相補構成をして設けられていることにより、画素電極 17 は 3 つの値の液晶電位 V_{LC} に固定されることである。その動作を図 9 および図 10 を用いて説明する。図 9 においては、 4×4 マトリクス構成の液晶表示を行う際の本発明の回路図を示し、図 10 は駆動信号波形のタイミングチャートを示している。

【0038】本実施例の場合、 $X_{1a} X_{1b}$ 、 $X_{2a} X_{2b}$ 、 $X_{3a} X_{3b}$ 、 $X_{4a} X_{4b}$ は各々一対の走査信号線として機能する。また、 Y_1 、 Y_2 、 Y_3 、 Y_4 はデータ線として機能している。また、図 9 中の AA、AB・・・DD は対応する位置の画素のアドレスを意味している。

【0039】この様な 4×4 構成の表示において、今アドレス AA、AB、BA、BB の 4 つの画素に対応する、信号波形と液晶電位と実際に液晶に印加される電位差のタイミングチャートを図 10 に示します。図 10 において、横軸は時間を示している。1 フレームを時間 T1 から T2 の間としてこの間を 4 つに分割して、一対の走査線 4 対を順次走査して走査信号を印加している。図では X_{1a} 、 X_{2a} 、 X_{3a} 、 X_{4a} のみを記載しているが実際には X_{1b} 、 X_{2b} 、 X_{3b} 、 X_{4b} には X_{1a} 、 X_{2a} 、 X_{3a} 、 X_{4a} と極性の異なる同じ波形が印加されている。また、 Y_1 、 Y_2 、 Y_3 、 Y_4 線に

は図10のようなデータ信号が印加されており、時間T1からT2の間はAAの画素のみ選択されてオンまたはオフされる。即ち、T₁からt₁の間にデータ線Y₁に対してデータ信号を印加して、この時間内にAAの画素の液晶にはしきい値をこえる電圧が印加され液晶が駆動される。この時、液晶表示装置の対抗電極にオフセット電圧が印加されている。図10では次の時間T2からT3にも全く同じ信号波形を印加し、AAの表示を行っている。

【0040】次に時間T3からT4及びT4からT5では4つの画素を全く選択しない信号が印加されている。さらに時間T5からT6では再びAAの画素を選択している信号が印加されている。

【0041】次に時間T6からT8はデータ線に印加する信号の論理を反転させた信号が印加され、また対抗電極には時間T1からT6の間に印加されていた信号とは極性の異なるオフセット電圧が印加されて、交流化信号が液晶に加えられている。この交流化信号により、時間T1からT6の間に正に偏っていた電荷をキャンセルすることができる。すなわち、時間T2からT4に加えられていた信号のうち、Y₁、Y₂、Y₃、Y₄線の論理を反転し、すなわち選択信号と非選択信号を入れ換え、対抗電極のオフセット電圧の正負を入れ換えることにより、時間T2からT4の前半の1フレームではAAの画素を選択し、後半の1フレームでは4つの画素を選択しない交流化信号を印加でき液晶を駆動することが可能となった。これにより、容易に画素に残っている電荷をキャンセルすることができる。

【0042】上述のように、液晶に実際に加わる電位差は、第3の信号線の信号の電圧、本実施例ではデータ線のパルス電圧と対抗電極のフセット電圧よりTFTのV_{th}分を差し引いた分の電位である。すなわち、データ線のパルス電圧を任意に変えるとそれに従って液晶に実際に加わる電位差を変化させることができる。これにより階調表示を行うことができる。特に液晶駆動のしきい値が明確でないもの、すなわちスレッシュホールドがなだらかな分散型液晶等には特によく適した駆動法で十分な階調表示を行うことができる。

【0043】このように、本発明の駆動によると非常に簡単な、パルス信号をデータ線および一対の走査線に加えるだけで、液晶表示を行える。

【0044】また、その他の階調法として、1つの表示画面に対して、複数フレームの駆動信号を液晶に印加することにより1画面を表示する場合は特定の画素に加える選択信号を全フレーム数より減らすことにより、容易に階調表示を行うことができる。

【0045】本実施例において液晶材料にTN液晶を用いるならば、液晶容器の基板間隔を約10μm程度とし、透明導電膜双方に配向膜を設け、それをラビング処理して形成させる必要がある。

【0046】また液晶材料にFLC（強誘電性）液晶を用いる場合は、動作電圧を±20Vとし、セルの間隔を1.5～3.5μm例えば2.3μmとし、対抗電極16上にも配向膜を設けラビング処理を施せばよい。

【0047】分散型液晶またはポリマー液晶を用いる場合には、配向膜は不用であり、スイッチング速度を大とするため、動作電圧は±10～±15Vとし、セル間隔は1～10μmと薄くした。

【0048】特に分散型液晶を用いる場合には、偏光板も不用のため、反射型としても、また透過型としても光量を大きくすることができる。そしてその液晶はスレッシュホールドがないため、本発明のように、明確なスレッシュホールド電圧が規定されるC/TFT型とすることにより、大きなコントラストとクロストーク（隣の画素との悪干渉）を除くことができた。

【0049】また、本実施例で使用したTFTの半導体は本実施例で使用した材料以外をも使用できる。

【0050】

【実施例2】この実施例は図3および図7に対応した液晶表示装置の構成を有するものを使用して、本実施例を行った。この図面より明らかな如く、Y線の走査線3を中央に配設し、一対のデータ線の第1のデータ線5と第2のデータ線8に挟まれた部分を1つのピクセル23としている。1つのピクセルは1つの透明導電膜の画素17および2つのNTFT13、24と、2つのPTFT22、25よりなる2つのC/TFTに連結させている。ゲイト電極はすべて走査線3に連結され、2つのNTFTは第1のデータ線3に、また2つのPTFTは第2のデータ線8に連結されている。これら2つのC/TFTの一方が、ゲイト電極とチャネル形成領域との間にリークがあり不良であった場合でも、ピクセルとしての動作をさせることができる。

【0051】ここでの特長は1つの画素に2つのC/TFTが設けられていることにより、画素電極17は3つの値の液晶電位V_{LC}に固定されることである。その動作を図9および図11を用いて説明する。図9においては、4×4マトリクス構成の液晶表示を行う際の本発明の回路図を示し、図11は駆動信号波形のタイミングチャートを示している。

【0052】本実施例の場合、X_{1a}X_{1b}、X_{2a}X_{2b}、X_{3a}X_{3b}、X_{4a}X_{4b}は各々一対のデータ線として機能する。また、Y₁、Y₂、Y₃、Y₄は走査線として機能している。また、図9中のAA、AB・・・・DDは対応する位置の画素のアドレスを意味している。

【0053】この様な4×4構成の表示において、今アドレスAA、AB、BA、BBの4つの画素に対応する、信号波形と液晶電位と実際に液晶に印加される電位差のタイミングチャートを図11に示します。図11において、横軸は時間を示している。1フレームを時間T

1からT2の間としてこの間を4つに分割して、走査線Y₁、Y₂、Y₃、Y₄線には順次走査して走査信号を印加している。また、X₁、X₂、X₃、X₄線には図11のようなデータ信号が印加されている。図ではX_{1a}、X_{2a}、X_{3a}、X_{4a}のみを記載しているが実際にはX_{1b}、X_{2b}、X_{3b}、X_{4b}にはX_{1a}、X_{2a}、X_{3a}、X_{4a}と極性の異なる同じ波形が印加されており、時間T1からT2の間はAAの画素のみ選択されてオンまたはオフされる。すなわちT₁からt₁の間に1対のデータ線X₁に対してデータ信号を印加して、この時間内にAAの画素の液晶にはしきい値をこえる電圧が印加されることになり液晶が駆動される。この時、液晶表示装置の対抗電極にオフセット電圧が印加されている。図11では次の時間T2からT3にも全く同じ信号波形を印加し、AAの表示を行っている。

【0054】次に時間T3からT4及びT4からT5では4つの画素を全く選択しない信号が印加されている。さらに時間T5からT6では再びAAの画素を選択している信号が印加されている。

【0055】次に時間T6からT8は1対のデータ線に印加する信号の論理を反転させた信号が印加され、また対抗電極には時間T1からT6の間に印加されていた信号とは極性の異なるオフセット電圧が印加されて、交流化信号が液晶に加えられている。この交流化信号により、時間T1からT6の間に正に偏っていた電荷をキャンセルすることができる。実際には、時間T2からT4に加えられていた信号のうち、1対のX₁、X₂、X₃、X₄線の論理を反転し、つまり選択信号と非選択信号を入れ換え、対抗電極のオフセット電圧の正負を入れ換えることにより、前半のフレームではAAの画素を選択し、後半のフレームでは4つの画素を選択しない交流化信号を印加でき液晶を駆動することが可能となった。

【0056】このように、本発明の駆動によると非常に簡単な、パルス信号をデータ線および1対の走査線に加えるだけで、液晶表示を行える。また実施例1と同様に走査線側の信号電圧を変化させて階調表示を行うことができる。

【0057】

【実施例3】この実施例は図4および図8に対応した液晶表示装置の構成を有するものを使用して、本実施例を行った。この図面より明らかな如く、Y線のデータ線3を中央に配設し、1対の走査線の第1の走査線5と第2の走査線8に挟まれた部分を1つのピクセル23としている。1つのピクセルは2つの透明導電膜の画素電極17、26から構成され、画素17はNTFT13とPTFT22が接続され、画素26にはNTFT24と、PTFT25がおのおのC/TFT構成として連結させている。ゲイト電極はすべてデータ線3に連結され、2つのNTFTは第1の走査線3に、また2つのPTFTは

第2の走査線8に連結されている。これら2つのC/TFTの一方が、ゲイト電極とチャンネル形成領域との間にリークがあり不良であった場合でも、ピクセルとしての動作をさせることができる。かくすると、たとえ一方の画素が中途半端にしか動作しなくても、他方の画素が正常動作をし、カラー化をした時、グレースケールの劣化の程度を下げる事ができた。

【0058】その動作を図9および図12を用いて説明する。図9においては、4×4マトリクス構成の液晶表示を行う際の本発明の回路図を示し、図12は駆動信号波形のタイミングチャートを示している。

【0059】本実施例の場合、X_{1a}X_{1b}、X_{2a}X_{2b}、X_{3a}X_{3b}、X_{4a}X_{4b}は各々1対の走査信号線として機能する。また、Y₁、Y₂、Y₃、Y₄はデータ線として機能している。また、図9中のAA、AB・・・DDは対応する位置の画素のアドレスを意味している。

【0060】この様な4×4構成の表示において、今アドレスAA、AB、BA、BBの4つの画素に対応する、信号波形と液晶電位と実際に液晶に印加される電位差のタイミングチャートを図12に示します。図12において、横軸は時間を示している。1フレームを時間T1からT2の間としてこの間を16に分割して、1対の走査線4対を順次走査して走査信号を印加している。図ではX_{1a}、X_{2a}、X_{3a}、X_{4a}のみを記載しているが実際にはX_{1b}、X_{2b}、X_{3b}、X_{4b}にはX_{1a}、X_{2a}、X_{3a}、X_{4a}と極性の異なる同じ波形が印加されている。また、Y₁、Y₂、Y₃、Y₄線には図12のようなデータ信号が印加されておりそのタイミングは選択する画素のアドレスにより、1フレーム中の16分割された特定の時間にデータ線にデータ信号が印加される、時間T1からT2の間はAAの画素のみ選択されてオンまたはオフされている。即ち、T₁からt₁の間にデータ線Y₁に対してデータ信号を印加して、この時間内にAAの画素の液晶にはしきい値をこえる電圧が印加され液晶が駆動される。この時、液晶表示装置の対抗電極にオフセット電圧が印加されている。次に時間T2からT3では4つの画素を全く選択しない信号が印加されている。

【0061】次に時間T3からT4はデータ線に印加する信号の論理を反転させた信号が印加され、また対抗電極には時間T1からT3の間に印加されていた信号とは極性の異なるオフセット電圧が印加されて、交流化信号が液晶に加えられている。この交流化信号により、時間T1からT3の間に正に偏っていた電荷をキャンセルすることができる。すなわち、時間T1からT2に加えられていた信号のうち、Y₁、Y₂、Y₃、Y₄線の論理を反転し、すなわち選択信号と非選択信号を入れ換え、対抗電極のオフセット電圧の正負を入れ換えることにより、前半のフレームではAAの画素を選択し、後半のフ

レームでは4つの画素を選択しない交流化信号を印加でき液晶を駆動することが可能となった。

【0062】このように、本発明の駆動によると非常に簡単な、パルス信号をデータ線および一対の走査線に加えるだけで、液晶表示を行える。本実施例においては、走査する側をY線として、走査を行ったが特にこの構成に限定されることはなく、X線側を走査する側とすることも可能である。また、データ信号をランダムに各データ線に印加して、画素をランダムに選択してゆくことも可能である。その他、ここに記載されていないことは実施例1、2に記されたことと同様である。

【0063】

【発明の効果】以上説明したように本発明の駆動法により、液晶電位をフローティングとしないため、安定した表示を行うことができる。また、アクティブ素子としてのC/TFTの駆動能力が高いため、動作マージンを拡大でき、さらに周辺の駆動回路をより簡単にすることが可能で表示装置の小型化、製造コストの低減に効果がある。また、3本の信号線と対抗電極に非常に単純な信号で高い駆動能力を発揮することができる。

【0064】不良TFTが一部にあっても同相出力であるためその補償をある程度行うことができる。

【0065】さらに、液晶材料を電気分解させないために液晶の駆動としては必須の交流化信号駆動をC/TFTのゲート信号線に加える信号の論理を反転させ、対抗電極に印加するオフセット電圧の極性を反転するという簡単なことで達成できた。

【0066】また、第3の信号線の信号の電圧を任意に変えるとそれによって液晶に実際に加わる電位差を変換することができる。これにより階調表示を行うことができる。特に液晶駆動のしきい値が明確でないもの、すなわちスレッショルドがなだらかな分散型液晶等には特によく適した駆動法で十分な階調表示を行うことができる。また、その他の階調方法として、1つの表示画面に対して、複数フレームの駆動信号を液晶に印加することにより1画面を表示する場合は特定の画素に加える選択信号を全フレーム数より減らすことにより、容易に階調表示を行うことができる。

【0067】本発明における表示媒体としては、透過型の液晶表示装置または反射型の液晶表示装置として用い得る。また使用可能な液晶材料としては前術のTN液晶、FLC液晶、分散型液晶、ポリマ型液晶を用い得る。またゲストホスト型、誘電異方性型のネマチック液晶にイオン性ドーパントを添加して電界を印加することによってネマチック液晶としコレステリック液晶との混合体に電界を印加して、ネマチック相とコレステリッ

ク相との間で相変化を生じさせ、透明ないし白濁の表示を実現する相転移液晶を用いることもできる。また液晶以外では、例えば染料で着色した有機溶媒中にこれと色の異なる顔料粒子を分散させたいわゆる電気泳動表示用分散系を用いることもできることを付記する。

【0068】本発明において、表示媒体として液晶を用いた時、C/TFTの出力は液晶電位となる。また液晶以外の媒体を用いることもあるため、その場合にはC/TFTの出力電圧と置き換えればよい。

【図面の簡単な説明】

【図1】本発明の駆動波形を示す。

【図2】相補型TFTを用いたアクティブ型表示装置の回路図を示す。

【図3】相補型TFTを用いたアクティブ型表示装置の回路図を示す。

【図4】相補型TFTを用いたアクティブ型表示装置の回路図を示す。

【図5】従来のアクティブ型液晶装置の回路図を示す。

【図6】図2に対応した液晶表示装置の一方の基板の平面図を示す。

【図7】図3に対応した液晶表示装置の一方の基板の平面図を示す。

【図8】図4に対応した液晶表示装置の一方の基板の平面図を示す。

【図9】相補型TFTを用いた4×4アクティブ型液晶装置の回路図を示す。

【図10】本発明の駆動信号波形とそのタイミングチャートの一例を示す。

【図11】本発明の駆動信号波形とそのタイミングチャートの一例を示す。

【図12】本発明の駆動信号波形とそのタイミングチャートの一例を示す。

【図13】本発明で使用したC/TFTの作製工程図を示す。

【符号の説明】

—・—・— フォトマスクを用いたプロセス

1、2・・・周辺回路

3、4・・・第3の信号線

5、6・・・第1の信号線

7、8・・・第2の信号線

13・・・NTFT

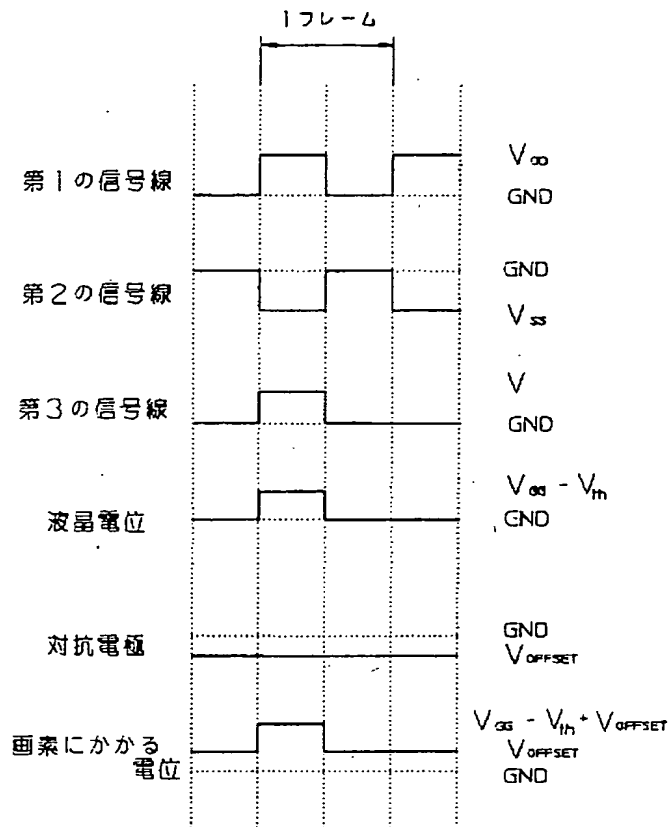
16・・・対抗電極

17・・・画素電極

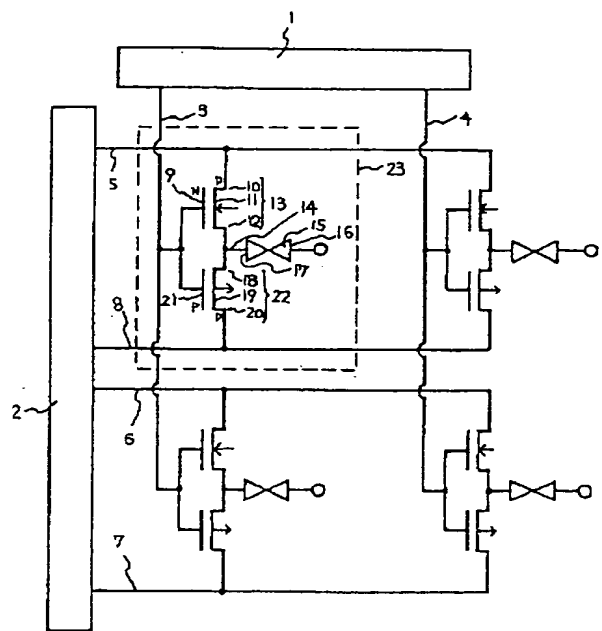
22・・・PTFT

23・・・画素

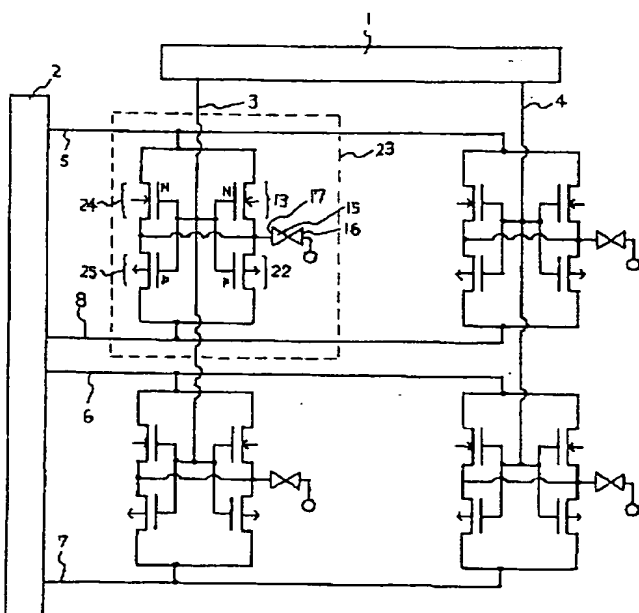
【図 1】



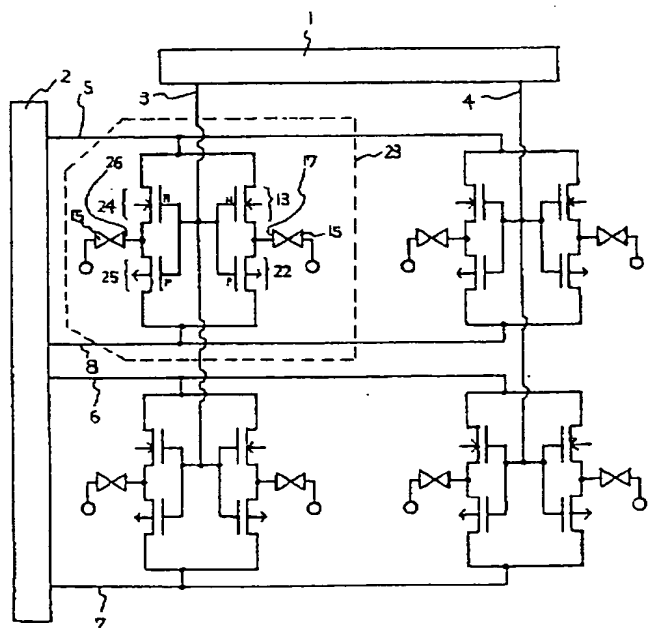
【図 2】



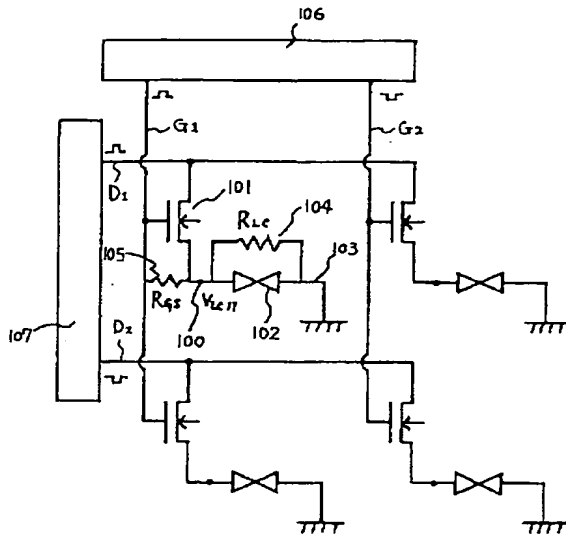
【図 3】



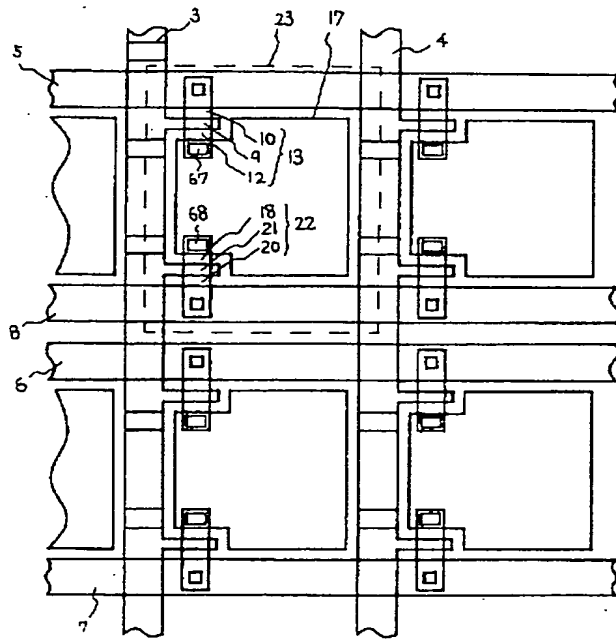
【図 4】



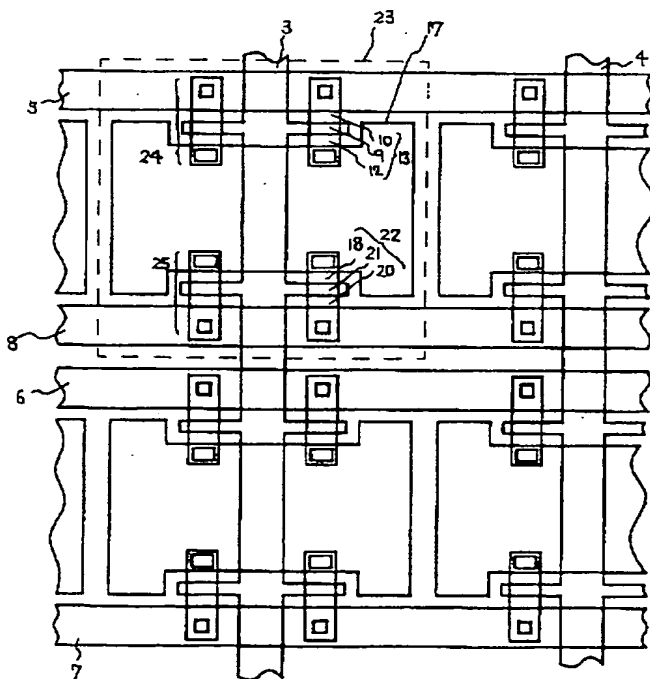
【図 5】



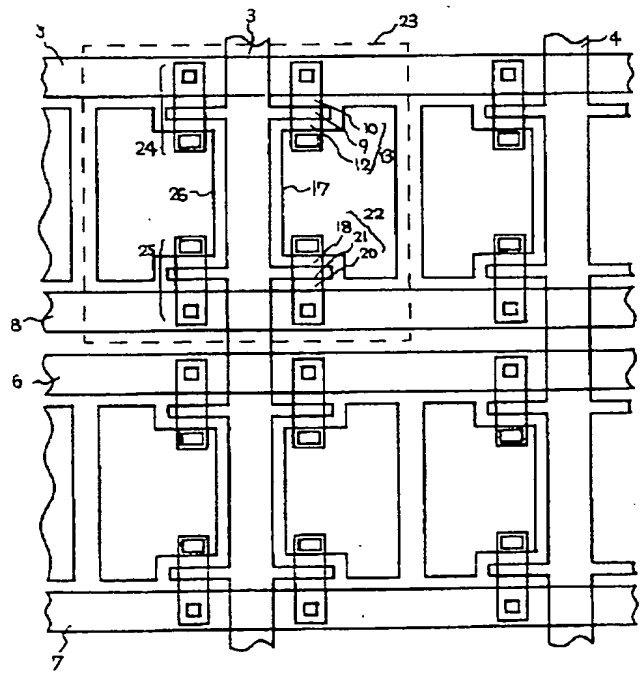
【図 6】



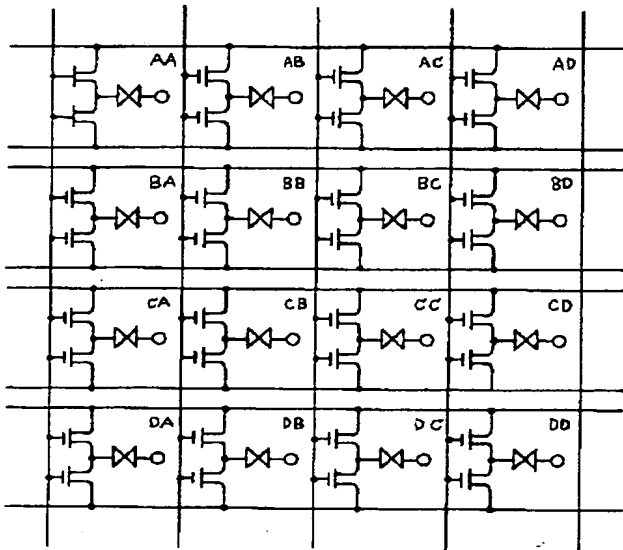
【図 7】



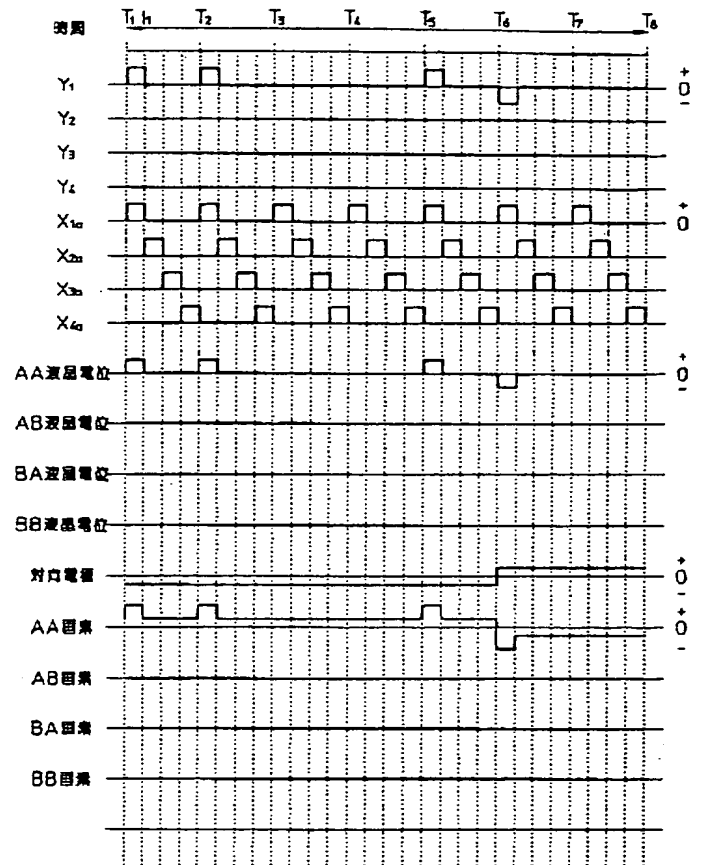
【図 8】



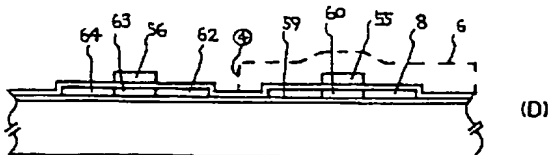
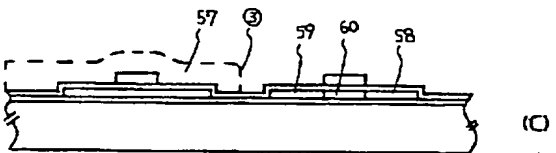
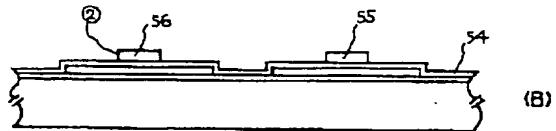
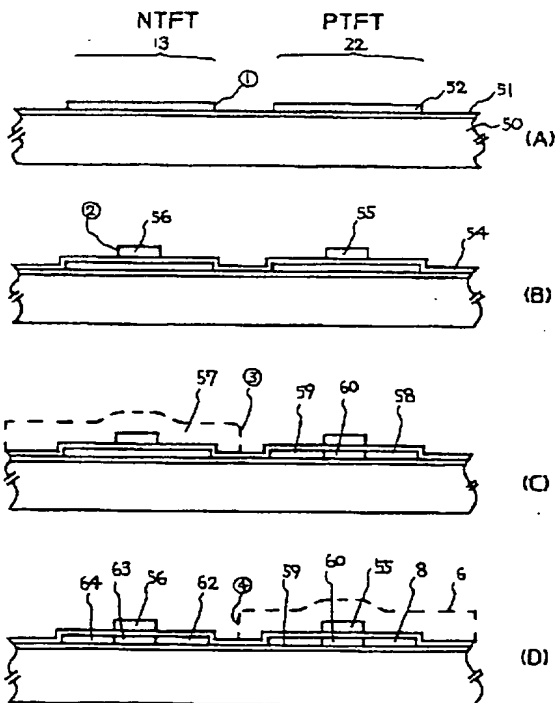
【図 9】



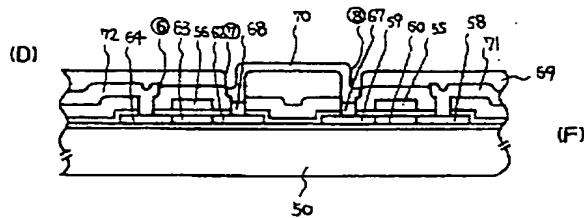
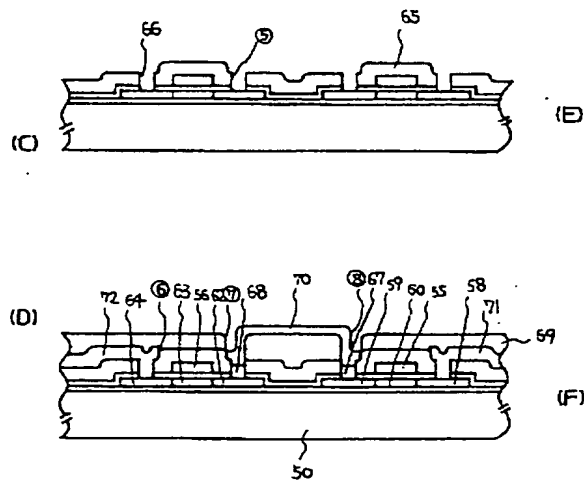
【図 10】



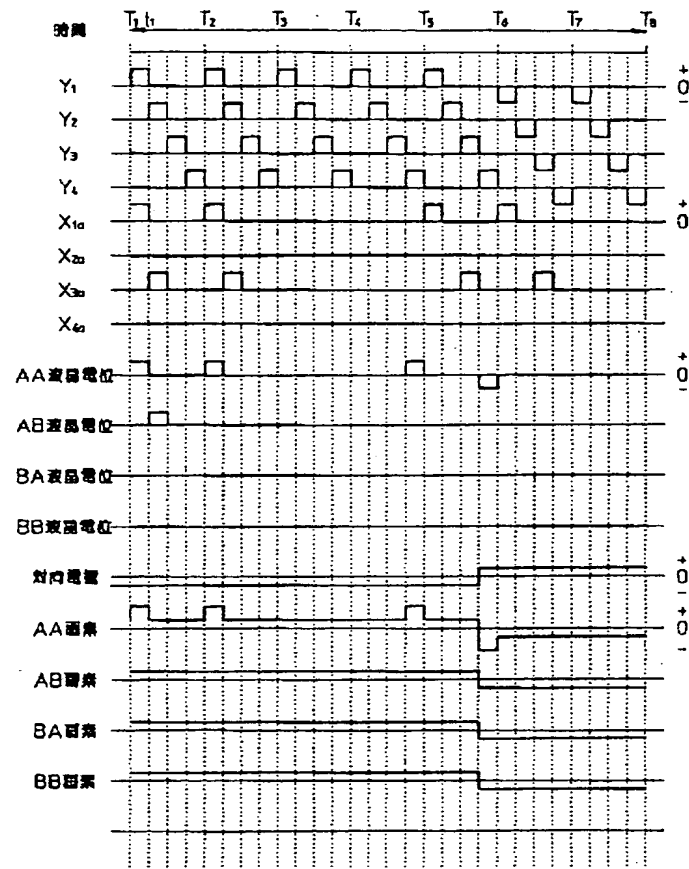
【図 13】



【図 13】



【図 11】



【図 12】

